

THIN FILM TRANSISTOR, METHOD FOR MANUFACTURING SAME CIRCUIT THEREOF, ELECTRONIC DEVICE AND ELECTRONIC APPARATUS

Publication number: JP2005243822

Publication date: 2005-09-08

Inventor: KAWASE TAKEO

Applicant: SEIKO EPSON CORP

Classification:

- International: H01L21/336; H01L21/368; H01L21/47; H01L29/786;
H01L51/00; H01L21/02; H01L29/66; H01L51/00; (IPC1-
7): H01L21/336; H01L21/368; H01L21/47; H01L29/786;
H01L51/00

- european:

Application number: JP20040050099 20040225

Priority number(s): JP20040050099 20040225

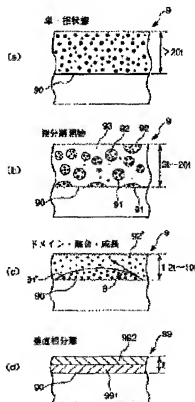
Report a data error here

Abstract of JP2005243822

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thin film transistor capable of manufacturing a thin film transistor with good characteristics, the thin film transistor to be manufactured by the method for manufacturing the thin film transistor, a thin film transistor circuit provided with the thin film transistor, an electronic device and an electronic apparatus.

SOLUTION: The method for manufacturing the thin film transistor comprises the steps of feeding, onto a substrate formed with a source electrode and a drain electrode, a liquefied material containing an organic semiconductor layer forming material and a first gate insulating layer forming material which are insoluble to each other, and a solvent which can dissolve both the materials to form a liquefied layer 9; and of removing the solvent from in the liquefied layer 9, with the result that a first domain 91' mainly containing the organic semiconductor layer forming material and a second domain 92' mainly containing the first gate insulating layer forming material are isolated from each other in a thickness direction of the liquefied layer 9 to be also solidified, to obtain an organic semiconductor layer and a first gate insulating layer.

COPYRIGHT: (C)2005,JPO&NCIP



(51) Int. Cl. ⁷	F I	テーマコード (参考)
H01L 21/336	H01L 29/78 618A	5F053
H01L 21/368	H01L 21/368 L	5F058
H01L 21/47	H01L 21/47	5F110
H01L 29/786	H01L 29/78 618B	
H01L 51/00	H01L 29/78 617V	
審査請求 未請求 請求項の数 18 O L (全 33 頁) 最終頁に続く		

(21) 出願番号 特願2004-50099 (P2004-50099)

(22) 出願日 平成16年2月25日 (2004.2.25)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100091292

弁理士 増田 達哉

(74) 代理人 100091627

弁理士 朝比 一夫

(72) 発明者 川瀬 義夫

長野県諏訪市大和3丁目3番5号 セイコ

エプソン株式会社内

Fターム (参考) 5F053 AA50 DD19 FF01 HH10 LL10

PP20 RR05

5F058 AA10 AC02 AC05 AC10 A202

AG01 AH02

最終頁に続く

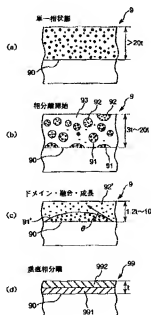
(54) 【発明の名称】 薄膜トランジスタの製造方法、薄膜トランジスタ、薄膜トランジスタ回路、電子デバイスおよび電子機器

(57) 【要約】

【課題】特性に優れた薄膜トランジスタを製造することができる薄膜トランジスタの製造方法、薄膜トランジスタの製造方法により製造される薄膜トランジスタ、この薄膜トランジスタを備える薄膜トランジスタ回路、電子デバイスおよび電子機器を提供すること。

【解決手段】本発明の薄膜トランジスタの製造方法は、ソース電極およびドレイン電極が形成された基板上に、互いに相溶しない有機半導体層形成用材料および第1のゲート絶縁層形成用材料と、これらの材料の双方を溶解し得る溶媒とを含有する液状材料を供給して液状層9を形成する工程と、液状層9中から溶媒を除去することにより、主に有機半導体層形成用材料を含む第1のドメイン91'と主に第1のゲート絶縁層形成用材料を含む第2のドメイン92'とを、液状層9の厚さ方向に相分離させるとともに固化させて、有機半導体層と第1のゲート絶縁層とを得る工程とを有する。

【選択図】図5



【特許請求の範囲】

【請求項1】

ソース電極と、ドレイン電極と、ゲート電極と、前記ソース電極およびドレイン電極に対して前記ゲート電極を絶縁する有機絶縁体層と、該有機絶縁体層に接触する有機半導体層とを有する薄膜トランジスタを製造する方法であって、

前記ソース電極およびドレイン電極、または、前記ゲート電極が形成された基板上に、前記有機半導体層を形成するための第1の材料と、該第1の材料と相溶しない前記有機絶縁体層を形成するための第2の材料と、前記第1の材料および前記第2の材料の双方を溶解し得る溶媒とを含有する液状材料を供給して液状層を形成する第1の工程と、

前記液状層中から前記溶媒を除去することにより、主に前記第1の材料を含む第1のドメインと、主に前記第2の材料を含む第2のドメインとを、前記液状層の厚さ方向に相分離させるとともに固化させて、前記有機半導体層と前記有機絶縁体層とを得る第2の工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項2】

前記第1の工程に先立って、前記基板の前記液状層を形成する面側に、前記有機半導体層および前記有機絶縁体層のうち、前記基板側とする一方の層を形成するための材料との親和性を、他方の層を形成するための材料との親和性より高くする親和性向上処理を施す工程を有する請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】

前記親和性向上処理は、プラズマ処理である請求項2に記載の薄膜トランジスタの製造方法。

【請求項4】

前記親和性向上処理は、前記第1の材料または前記第2の材料を構成する化合物の一部を含む化学構造を導入する化学修飾処理である請求項3に記載の薄膜トランジスタの製造方法。

【請求項5】

前記第1の材料および前記第2の材料のうちの少なくとも一方は、高分子材料である請求項1ないし4のいずれかに記載の薄膜トランジスタの製造方法。

【請求項6】

前記第1の材料が高分子材料であり、その重量平均分子量が4000～300000である請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】

前記第2の材料が高分子材料であり、その重量平均分子量が10000～200000である請求項5または6に記載の薄膜トランジスタの製造方法。

【請求項8】

前記溶媒は、高沸点溶媒である請求項1ないし7のいずれかに記載の薄膜トランジスタの製造方法。

【請求項9】

前記溶媒は、低沸点溶媒である請求項1ないし7のいずれかに記載の薄膜トランジスタの製造方法。

【請求項10】

前記液状材料中における前記第1の材料と前記第2の材料との混合比は、重量比で3：1～1：3である請求項1ないし9のいずれかに記載の薄膜トランジスタの製造方法。

【請求項11】

前記第1の工程において、前記液状材料は、液滴吐出法により供給される請求項1ないし10のいずれかに記載の薄膜トランジスタの製造方法。

【請求項12】

前記第2の工程において、前記液状層を固化させるのに要する時間は、5秒以上である請求項1ないし11のいずれかに記載の薄膜トランジスタの製造方法。

【請求項13】

固化後の前記液状層の平均厚さをもととしたとき、前記2の工程において、前記液状層の平均厚さが1.2μm～1.0μmの範囲における、前記第1のドメインまたは前記第2のドメインのうちのいずれか一方の前記液状層を形成する面に対する接触角が30°以下である請求項1ないし12のいずれかに記載の薄膜トランジスタの製造方法。

【請求項14】

前記第2の工程において、固化後の前記液状層に対して熱処理を施す請求項1ないし13のいずれかに記載の薄膜トランジスタの製造方法。

【請求項15】

請求項1ないし14のいずれかに記載の薄膜トランジスタの製造方法により製造されたことを特徴とする薄膜トランジスタ。

【請求項16】

請求項15に記載の薄膜トランジスタを備えることを特徴とする薄膜トランジスタ回路。

【請求項17】

請求項16に記載の薄膜トランジスタ回路を備えることを特徴とする電子デバイス。

【請求項18】

請求項17に記載の電子デバイスを備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタの製造方法、薄膜トランジスタ、薄膜トランジスタ回路、電子デバイスおよび電子機器に関するものである。

【背景技術】

【0002】

近年、半導体的な電気伝導を示す有機材料（有機半導体材料）を使用した薄膜トランジスタの開発が進められている。この薄膜トランジスタは、薄型軽量化に適すること、可撓性を有すること、材料コストが安価であること等の長所を有しており、フレキシブルディスプレイ等のスイッチング素子として期待されている。

このような薄膜トランジスタとしては、基板上に、ソース電極およびドレイン電極が形成され、これら電極上に有機半導体層、ゲート絶縁層、ゲート電極がこの順に積層されたトップゲート構造と、基板上に、ゲート電極、ゲート絶縁層と、有機半導体層がこの順に積層され、この有機半導体層上にソース電極およびドレイン電極が形成されたボトムゲート構造のものが提案されている。

【0003】

ところで、このような薄膜トランジスタにおいて、有機半導体層やゲート絶縁層の形成方法として、各層の構成材料を溶媒に溶解した溶液を塗布する溶液プロセスによる方法が知られている。この溶液プロセスは、真空蒸着法等で用いるような、大がかりな装置を使用せず、簡易な工程で成膜を行うことができるという利点を有している。

この溶液プロセスによって、例えばトップゲート構造の有機半導体層およびゲート絶縁層を形成するには、ソース電極およびドレイン電極が形成された基板上に、有機半導体材料を溶解した溶液を塗布し、乾燥等を行うことによって有機半導体層を形成した後、この有機半導体層上に、有機絶縁材料を溶解した溶液を塗布し、乾燥等を行うことによってゲート絶縁層を形成する（例えば、特許文献1参照。）。

【0004】

また、ボトムゲート構造のゲート絶縁層および有機半導体層を形成するには、ゲート電極が形成された基板上に、有機絶縁材料を溶解した溶液を塗布し、乾燥等を行うことによってゲート絶縁層を形成した後、このゲート絶縁層上に、有機半導体材料を溶解した溶液を塗布し、乾燥等を行うことによって有機半導体層を形成する。

しかしながら、このようにして有機半導体層およびゲート絶縁層を形成すると、各有機材料や溶媒の組み合わせによっては、上層となる層（上部層）を形成するための溶液の溶

媒によって、下側の層（下部層）が膨潤、溶解してしまうことがある。

【0005】

このような不都合を回避するため、上部層を形成するための溶液の溶媒として、下部層の構成材料を膨潤、溶解しないものを使用することが行われている。

例えば、芳香族炭化水素系溶媒は、一般に、有機半導体材料は溶解するが、有機絶縁材料は溶解し難い。また、ケトン系やエーテル系の含酸素溶媒は、有機絶縁材料は溶解するが、有機半導体材料は溶解し難い。

したがって、これら溶媒をそれぞれ有機半導体層用の溶媒、ゲート絶縁層用の溶媒として使用することにより、下部層となるゲート絶縁層または有機半導体層の膨潤、溶解を防止することができる。

【0006】

ところが、この方法では、使用できる溶媒が制限され、したがって有機半導体材料または有機絶縁材料もその溶媒に溶解できるものに制限されるため、材料の選択の幅が狭く、各層の特性の最適化を図るのが困難であるといった問題がある。

また、下部層の膨潤、溶解を防止する他の方法としては、下部層に架橋構造を形成し、不溶化する方法もある。具体的には、下部層形成用の溶液に、下部層の構成材料とともに架橋剤やラジカル発生剤を添加し、この溶液を塗布することで塗膜を形成する。そして、この塗膜に、加熱処理や紫外線照射を行うことによって架橋構造を形成する。

しかしながら、この方法では、溶液に添加した架橋剤、ラジカル発生剤の未反応物や反応生成物の影響によって、トランジスタの特性が劣化するという問題がある。

また、特に有機半導体層では、架橋構造を形成すると、半導体としての特性を決める電子共役系が破壊されるため、架橋構造を形成するのは好ましくない。

【0007】

【特許文献1】特表2003-518754号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、特性に優れた薄膜トランジスタを製造することができる薄膜トランジスタの製造方法、かかる薄膜トランジスタの製造方法により製造される薄膜トランジスタ、および、この薄膜トランジスタを備える薄膜トランジスタ回路、電子デバイスおよび電子機器を提供することにある。

【課題を解決するための手段】

【0009】

このような目的は、下記の本発明により達成される。

本発明の薄膜トランジスタの製造方法は、ソース電極と、ドレイン電極と、ゲート電極と、前記ソース電極およびドレイン電極に対して前記ゲート電極を絶縁する有機絶縁体層と、該有機絶縁体層に接触する有機半導体層とを有する薄膜トランジスタを製造する方法であって、

前記ソース電極およびドレイン電極、または、前記ゲート電極が形成された基板上に、前記有機半導体層を形成するための第1の材料と、該第1の材料と相溶しない前記有機絶縁体層を形成するための第2の材料と、前記第1の材料および前記第2の材料の双方を溶解し得る溶媒とを含有する液状材料を供給して液状層を形成する第1の工程と、

前記液状層中から前記溶媒を除去することにより、主に前記第1の材料を含む第1のドメインと、主に前記第2の材料を含む第2のドメインとを、前記液状層の厚さ方向に相分離させるとともに固化させて、前記有機半導体層と前記有機絶縁体層とを得る第2の工程とを有することを特徴とする。

これにより、第1の材料および第2の材料の選択の幅が広がるので、これらの組み合わせを適宜設定することにより、特性に優れた薄膜トランジスタを製造することができる。

【0010】

本発明の薄膜トランジスタの製造方法では、前記第1の工程に先立って、前記基板の前

記液状層を形成する面側に、前記有機半導体層および前記有機絶縁体層のうち、前記基板側とする一方の層を形成するための材料との親和性を、他方の層を形成するための材料との親和性より高くする親和性向上処理を施す工程を有することが好ましい。

これにより、第1のドメインと第2のドメインとを、より確実に、液状層の厚さ方向に分離（垂直相分離）させることができる。

【0011】

本発明の薄膜トランジスタの製造方法では、前記親和性向上処理は、プラズマ処理であることが好ましい。

プラズマ処理によれば、親和性向上処理を容易に行うことができる。

本発明の薄膜トランジスタの製造方法では、前記親和性向上処理は、前記第1の材料または前記第2の材料を構成する化合物の一部を含む化学構造を導入する化学修飾処理であることが好ましい。

化学修飾処理によれば、第1の材料および第2の材料の特性に応じて、より最適な処理を行うことができる。

【0012】

本発明の薄膜トランジスタの製造方法では、前記第1の材料および前記第2の材料のうちの少なくとも一方は、高分子材料であることが好ましい。

これにより、第1のドメインと第2のドメインとを、より確実に相分離させることができる。

本発明の薄膜トランジスタの製造方法では、前記第1の材料が高分子材料であり、その重量平均分子量が4000～300000であることが好ましい。

これにより、第1のドメインと第2のドメインとを、より確実に相分離させることができる。

本発明の薄膜トランジスタの製造方法では、前記第2の材料が高分子材料であり、その重量平均分子量が10000～2000000であることが好ましい。

これにより、第1のドメインと第2のドメインとを、より確実に相分離させることができる。

【0013】

本発明の薄膜トランジスタの製造方法では、前記溶媒は、高沸点溶媒であることが好ましい。

これにより、液状層を固化させるのに要する時間の調整が容易となるとともに、液状材料の供給方法として液滴吐出法を適用する場合に、液状材料の特性（粘度等）を、液滴吐出法に適したものに調整するのが容易となる。

【0014】

本発明の薄膜トランジスタの製造方法では、前記溶媒は、低沸点溶媒であることが好ましい。

これにより、得られる有機半導体層および有機絶縁体層中に、溶媒が残存するのをより確実に防止することができる。その結果、得られる薄膜トランジスタの特性をより向上させることができる。

本発明の薄膜トランジスタの製造方法では、前記液状材料中における前記第1の材料と前記第2の材料との混合比は、重量比で3：1～1：3であることが好ましい。

これにより、第1のドメインと第2のドメインとを、より確実に相分離させることができる。

【0015】

本発明の薄膜トランジスタの製造方法では、前記第1の工程において、前記液状材料は、液滴吐出法により供給されることが好ましい。

液滴吐出法によれば、所定の位置に液状材料を正確に供給することができ、その結果、所定形状の有機半導体層および有機絶縁体層を寸法精度よく形成することができる。

【0016】

本発明の薄膜トランジスタの製造方法では、前記第2の工程において、前記液状層を固

化させるのに要する時間は、5秒以上であることが好ましい。

この時間が短過ぎると、第1のドメインと第2のドメインとが十分に成長する前に、液状層が固化してしまい、第1のドメインと第2のドメインとを層状に分離させる（垂直相分離させる）のが困難となる場合がある。

【0017】

本発明の薄膜トランジスタの製造方法では、固化後の前記液状層の平均厚さを t としたとき、前記2の工程において、前記液状層の平均厚さが $1.2t \sim 10t$ の範囲における、前記第1のドメインまたは前記第2のドメインのうちのいずれか一方の前記液状層を形成する面に対する接触角が 30° 以下であることが好ましい。

これにより、第1のドメインと第2のドメインとをさらに確実に垂直相分離させることができる。

【0018】

本発明の薄膜トランジスタの製造方法では、前記第2の工程において、固化後の前記液状層に対して熱処理を施すことが好ましい。

これにより、例えば、第1の材料が有機半導体材料の前駆体で構成されている場合には、この前駆体を反応（不飽和結合の形成、重合反応等）させて、有機半導体材料に変化させることができる。また、熱処理を施すことにより、固化後の第1のドメインと第2のドメインとを、再度、溶融または軟化させることができ、これにより、第1のドメインと第2のドメインとをより確実に分離すること（これらの界面をより明確にすること）ができる。その結果、最終的に得られる薄膜トランジスタは、より特性に優れたものとなる。

【0019】

本発明の薄膜トランジスタは、本発明の薄膜トランジスタの製造方法により製造されたことを特徴とする。

これにより、特性（スイッチング特性）に優れた薄膜トランジスタが得られる。

本発明の薄膜トランジスタ回路は、本発明の薄膜トランジスタを備えることを特徴とする。

これにより、信頼性の高い薄膜トランジスタ回路が得られる。

本発明の電子デバイスは、本発明の薄膜トランジスタ回路を備えることを特徴とする。

これにより、信頼性の高い電子デバイスが得られる。

本発明の電子機器は、本発明の電子デバイスを備えることを特徴とする。

これにより、信頼性の高い電子機器が得られる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の薄膜トランジスタの製造方法、薄膜トランジスタ、薄膜トランジスタ回路、電子デバイスおよび電子機器の好適実施形態に基づいて詳細に説明する。

<薄膜トランジスタおよびその製造方法>

まず、本発明の薄膜トランジスタおよびその製造方法について説明する。

<<薄膜トランジスタの第1構成>>

まず、本発明の薄膜トランジスタの第1構成（第1実施形態）について説明する。

図1は、第1構成の薄膜トランジスタを示す縦断面図である。なお、以下の説明では、図1中の上側を「上」、下側を「下」と言う。

【0021】

図1に示す薄膜トランジスタ1は、基板2上に設けられており、ソース電極3およびドレイン電極4と、有機半導体層5と、第1のゲート絶縁層（有機絶縁体層）6 1と、第2のゲート絶縁層6 2と、ゲート電極7とが、この順で基板2側から積層されて構成されている。

具体的には、薄膜トランジスタ1は、基板2上に、ソース電極3およびドレイン電極4が分離して設けられ、これらのソース電極3およびドレイン電極4に接触して有機半導体層5が設けられ、また、この有機半導体層5に接触して第1のゲート絶縁層6 1が設けられている。さらに、ソース電極3、ドレイン電極4、有機半導体層5および第1のゲート

絶縁層61を覆うように、第2のゲート絶縁層62が設けられ、この第2のゲート絶縁層上には、少なくともソース電極3とドレイン電極4との間の領域に重なるようにゲート電極7が設けられている。

[0022]

この薄膜トランジスタ1では、有機半導体層5のうち、ソース電極3とドレイン電極4との間の領域が、キャリアが移動するチャネル領域51となっている。以下、このチャネル領域51において、キャリアの移動方向の長さ、すなわちソース電極3とドレイン電極4との間の距離をチャネル長L、チャネル長L方向と直交する方向の長さをチャネル幅Wと言う。

このような薄膜トランジスタ1は、ソース電極3およびドレイン電極4が、ゲート絶縁層61、62を介してゲート電極7よりも基板2側に設けられた構成の薄膜トランジスタ、すなわち、トップゲート構造の薄膜トランジスタである。

[0023]

以下、薄膜トランジスタ1を構成する各部について、順次説明する。

基板2は、薄膜トランジスタ1を構成する各層(各部)を支持するものである。基板2には、例えば、ガラス基板、ポリイミド、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリメチルメタクリレート(PMMA)、ポリカーボネート(PC)、ポリエーテルスルホン(PES)、芳香族ポリエステル(液晶ポリマー)等で構成されるプラスチック基板(樹脂基板)、石英基板、シリコン基板、ガリウム砒素基板等を用いることができる。薄膜トランジスタ1に可撓性を付与する場合には、基板2には、樹脂基板が選択される。

[0024]

この基板2上には、下地層が設けられていてもよい。下地層としては、例えば、基板2表面からのイオンの拡散を防止する目的、ソース電極3およびドレイン電極4と、基板2との密着性(接合性)を向上させる目的、後述するような有機半導体層5を形成するための材料(第1の材料)との親和性を向上させる目的等により設けられる。

この下地層は、例えば、酸化珪素(SiO_2)、窒化珪素(SiN)、ポリイミド、ポリアミド、架橋により不溶化したポリマー等により構成することができる。

[0025]

基板2上には、ソース電極3およびドレイン電極4が、チャネル長L方向に沿って、所定距離離隔して並設されている。

これらのソース電極3およびドレイン電極4の構成材料としては、例えば、Pd、Pt、Au、W、Ta、Mo、Al、Cr、Ti、Cuまたはこれらを含む合金等の金属材料が挙げられ、チャネル領域を移動するキャリアに応じて適宜選択するのが好ましい。

例えば、チャネル領域をホールが移動するpチャネル薄膜トランジスタの場合には、仕事関数が比較的大きいPd、Pt、Au、Ni、Cuまたはこれら金属を含む合金を使用するのが好ましい。

[0026]

また、ソース電極3およびドレイン電極4の構成材料としては、前記の金属材料の他、ITO、FTO、ATO、 SnO_2 等の導電性酸化物、カーボンブラック、カーボンナノチューブ、フラーレン等の炭素材料、ポリアセチレン、ポリビニール、PEDOT (polyethylenedioxythiophene) のようなポリチオフェン、ポリアニリン、ポリ(p-フェニレン)、ポリ(p-フェニレンビニレン)、ポリフルオレン、ポリカルバゾール、ポリシランまたはこれらの誘導体等の導電性高分子材料等が挙げられ、これらのうちの1種または2種以上を組み合わせて用いることができる。

なお、前記導電性高分子材料は、通常、塩化鉄、ヨウ素、無機酸、有機酸、ポリスチレンサルフォニック酸のようなポリマー等がドーパされ、導電性を付与された状態で用いられる。

[0027]

ソース電極3およびドレイン電極4の平均厚さは、特に限定されないが、それぞれ、3

0～300nm程度であるのが好ましく、50～150nm程度であるのがより好ましい。

ソース電極3とドレイン電極4との間の距離(離間距離)、すなわち、チャネル長Lは、2～30 μ m程度であるのが好ましく、5～20 μ m程度であるのがより好ましい。チャネル長Lを前記下限値より小さくすると、得られた薄膜トランジスタ1同士でチャネル長に誤差が生じ、特性(トランジスタ特性)がばらつくおそれがある。一方、チャネル長Lを前記上限値より大きくすると、しきい電圧の絶対値が大きくなるとともに、ドレイン電流の値が小さくなり、薄膜トランジスタ1の特性が不十分となるおそれがある。

【0028】

チャネル幅Wは、0.1～5mm程度であるのが好ましく、0.5～3mm程度であるのがより好ましい。チャネル幅Wを前記下限値より小さくすると、ドレイン電流の値が小さくなり、薄膜トランジスタ1の特性が不十分となるおそれがある。一方、チャネル幅Wを前記上限値より大きくすると、薄膜トランジスタ1が大型化してしまうとともに、寄生容量の増大や、ゲート絶縁層61、62を介したゲート電極7へのリーク電流の増大を招くおそれがある。

また、基板2上には、ソース電極3とドレイン電極4との間、および、これらのソース電極3およびドレイン電極4の一部を覆うように、有機半導体層5が設けられている。

【0029】

有機半導体層5は、有機半導体材料(半導体的な電気伝導を示す有機材料)を主材料として構成されている。

この有機半導体層5は、少なくともチャネル領域51においてチャネル長方向とはほぼ平行となるように配向しているのが好ましい。これにより、チャネル領域51におけるキャリア移動度が高いものとなり、その結果、薄膜トランジスタ1は、その作動速度がより速いものとなる。

【0030】

有機半導体材料としては、例えば、ナフタレン、アントラセン、テトラセン、ペンタセン、ヘキサセン、フタロシアニン、ペリレン、ヒドラゾン、トリフェニルメタン、ジフェニルメタン、スチルベン、アリールビニル、ピラゾリン、トリフェニルアミン、トリアリールアミン、オリゴチオフェン、フタロシアニンまたはこれらの誘導体のような低分子の有機半導体材料や、ポリ-N-ビニルカルバゾール、ポリビニルピレン、ポリビニルアントラセン、ポリチオフェン、ポリアルキルチオフェン、ポリヘキシルチオフェン、ポリ(ポーフエニルビニレン)、ポリチレンビニレン、ポリアリールアミン、ピレンホルムアルデヒド樹脂、エチルカルバゾールホルムアルデヒド樹脂、フルオレン-ビチオフェン共重合体、フルオレン-アリールアミン共重合体またはこれらの誘導体のような高分子の有機半導体材料(共役系高分子材料)が挙げられ、これらのうちの1種または2種以上を組み合わせて用いることができるが、特に、高分子の有機半導体材料(共役系高分子材料)を主とするものを用いるのが好ましい。共役系高分子材料は、その特有な電子雲の広がりにより、キャリアの移動能が特に高い。

【0031】

また、このうち、空気中で酸化され難く、安定であること等の理由から、高分子の有機半導体材料(共役系高分子材料)としては、フルオレン-ビチオフェン共重合体、フルオレン-アリールアミン共重合体、ポリアリールアミンまたはこれらの誘導体のうちの少なくとも1種を主成分とするものを用いるのが特に好ましい。

また、高分子の有機半導体材料を主材料として構成される有機半導体層5は、薄膜化・軽量化が可能であり、可塑性にも優れるため、フレキシブルディスプレイのスイッチング素子等として用いられる薄膜トランジスタへの適用に適している。

【0032】

有機半導体層5の平均厚さは、1～200nm程度であるのが好ましく、10～100nm程度であるのがより好ましい。

なお、有機半導体層5は、ソース電極3およびドレイン電極4を覆うように設けられる

構成のものに限定されず、少なくともソース電極3とドレイン電極4との間の領域(チャネル領域51)に設けられていればよい。

【0033】

有機半導体層5上には、第1のゲート絶縁層61が設けられ、さらに、これらを重ねるように第2のゲート絶縁層62が設けられている。

ゲート絶縁層61、62は、それぞれ、ソース電極3およびドレイン電極4に対してゲート電極7を絶縁するものである。

ゲート絶縁層61、62は、それぞれ、主として有機絶縁材料(特に、絶縁性を有する有機高分子材料)で構成されているのが好ましい。絶縁性を有する有機高分子材料を主材料とするゲート絶縁層61、62は、その形成が容易であるとともに、有機半導体層5との密着性の向上を図ることもできる。

【0034】

このような絶縁性を有する有機高分子材料としては、例えば、ポリスチレン、ポリイミド、ポリアミドイミド、ポリビニルフェニレン、ポリカーボネート(PC)、ポリメチルメタクリレート(PMMA)のようなアクリル系樹脂、ポリテトラフルオロエチレン(PTFE)のようなフッ素系樹脂、ポリビニルフェノールあるいはノボラック樹脂のようなフェノール系樹脂、ポリエチレン、ポリプロピレン、ポリイソブチレン、ポリブテンなどのオレフィン系樹脂やこれら高分子の誘導体等が挙げられ、これらのうちの1種または2種以上を組み合わせて用いることができる。

【0035】

特に、第1のゲート絶縁層61は、有機半導体層5の界面におけるキャリアの移動性能に影響することから、その構成材料としてはキャリアの移動性能を向上させるのに有利なものを選択するのが好ましい。また、本発明では、第1のゲート絶縁層61を構成する有機絶縁材料(第1のゲート絶縁層61を形成するための第2の材料)は、後述するように、有機半導体層5を形成するための材料(第1の材料)と相溶せず、かつ、第1の材料と共通の溶媒に溶解し得るものが選択される。

なお、以下では、有機半導体層5を形成するための第1の材料を、「有機半導体層形成用材料」と言い、第1のゲート絶縁層61を形成するための第2の材料を、「第1のゲート絶縁層形成用材料」と言う。

【0036】

第1のゲート絶縁層61の構成材料(第1のゲート絶縁層形成用材料)としては、例えば、ポリスチレンまたはポリスチレンの主鎖に側鎖(例えば、アルキル側鎖等)を有するポリマー、ポリビニルの主鎖に側鎖(例えば、アルキル側鎖や、シクロヘキサンを含む側鎖等)を有するポリマー、ポリメチルメタクリレート(PMMA)のようなアクリル系ポリマー、ポリエチレン、ポリプロピレン、ポリブテンのようなオレフィン系樹脂、または、これらを含むポリマー等が好適である。

【0037】

一方、第2のゲート絶縁層62の構成材料は、ソース電極3およびドレイン電極4と、ゲート電極7との絶縁性能を重視して、比較的誘電率の高いものを選択するのが好ましい。このような有機絶縁材料としては、例えば、ポリビニルフェノール、ノボラック樹脂のようなフェノール系樹脂、シアノ基含有樹脂(シアノ基を含む樹脂)、エポキシ系樹脂、ポリイミド、アミド樹脂等が好適である。

【0038】

第1のゲート絶縁層61の平均厚さは、1~300nm程度であるのが好ましく、10~100nm程度であるのがより好ましい。また、第2のゲート絶縁層62の厚さ(平均)は、特に限定されないが、10~500nm程度であるのが好ましく、100~1000nm程度であるのがより好ましい。

第1のゲート絶縁層61および第2のゲート絶縁層62の厚さを、それぞれ、前記範囲とすることにより、薄膜トランジスタが大型化すること(特に、厚さが増大すること)を防止しつつ、ソース電極3およびドレイン電極4とゲート電極7とを確実に絶縁するこ

とができる。

なお、第2のゲート絶縁層62は、単層構成のものに限定されず、複数層の積層構成のものであってもよい。

また、第2のゲート絶縁層62の構成材料には、例えば、 SiO_2 等の無機絶縁材料を用いることもできる。

【0039】

第2のゲート絶縁層62上には、ゲート電極7が設けられている。

ゲート電極7の構成材料としては、前記ソース電極3およびドレイン電極4で挙げたものと同様のものを用いることができる。

ゲート電極7の平均厚さは、特に限定されないが、0.1～5000nm程度であるのが好ましく、1～5000nm程度であるのがより好ましく、10～5000nm程度であるのがさらに好ましい。

【0040】

以上のような薄膜トランジスタ1は、ゲート電極7に印加する電圧を変化させることにより、ソース電極3とドレイン電極4との間に流れる電流量が制御される。

すなわち、ゲート電極7に電圧が印加されていないOFF状態では、ソース電極3とドレイン電極4との間に電圧を印加しても、有機半導体層5中にほとんどキャリアが存在しないため、微少な電流しか流れない。一方、ゲート電極7に電圧が印加されているON状態では、有機半導体層5の第1のゲート絶縁層61に面した部分(第1のゲート絶縁層61との界面付近)に電荷が誘起され、チャネル領域51にキャリアの流路が形成される。この状態でソース電極3とドレイン電極4との間に電圧を印加すると、チャネル領域51を通過して電流が流れる。

【0041】

このような薄膜トランジスタ1は、例えば、次のようにして製造される。

以下、薄膜トランジスタ1の製造方法(本発明の薄膜トランジスタの製造方法の第1実施形態)について説明する。

<<第1構成の薄膜トランジスタの製造方法>>

図2～図5は、それぞれ、図1に示す薄膜トランジスタの製造方法を説明するための図であり、図2および図3は縦断面図、図4および図5は模式図である。なお、以下の説明では、図2～図5中の上側を「上」、下側を「下」と言う。

薄膜トランジスタ1の製造方法は、〔A1〕ソース電極およびドレイン電極形成工程と、〔A2〕表面処理工程と、〔A3〕有機半導体層および第1のゲート絶縁層形成工程と、〔A4〕第2のゲート絶縁層形成工程と、〔A5〕ゲート電極形成工程とを有している。以下、これらの各工程について、順次説明する。

【0042】

〔A1〕ソース電極およびドレイン電極形成工程

図2(a)に示すように基板2を用意し、この基板2上にソース電極3およびドレイン電極4を形成する。

まず、図2(b)に示すように、基板2上に金属膜(金属層)8を形成する。

これは、例えば、プラズマCVD、熱CVD、レーザーCVDのような化学蒸着法(CVD)、真空蒸着、スパッタリング(低温スパッタリング)、イオンプレーティング等の乾式メッキ法、電解メッキ、浸漬メッキ、無電解メッキ等の湿式メッキ法、溶射法、ゾル・ゲル法、MOD法、金属箔の接合等により形成することができる。

【0043】

次に、この金属膜8上に、フォトリソグラフィ法により、ソース電極3およびドレイン電極4の形状に対応する形状のレジスト層を形成する。このレジスト層をマスクとして用いて、金属膜8の不要部分を除去する。

この金属膜8の除去には、例えば、プラズマエッチング、リアクティブイオンエッチング、ビームエッチング、光アシストエッチング等の物理的エッチング法、ウェットエッチング等の化学的エッチング法等のうちの1種または2種以上を組み合わせ用いることが

できる。

【0044】

その後、レジスト層を除去することにより、図2(c)に示すように、ソース電極3およびドレイン電極4が得られる。

なお、これらのソース電極3およびドレイン電極4は、それぞれ、例えば、導電性粒子を含有するコロイド液(分散液)、導電性ポリマーを含有する液体(溶液または分散液)等の液状材料を基板2上に供給して被膜を形成した後、必要に応じて、この被膜に対して後処理(例えば加熱、赤外線照射、超音波の付与等)を施すことにより形成することもできる。

【0045】

前記液状材料を基板2上に供給する方法としては、例えば、ディッピング法、スピニング法、キャスト法、マイクログラビアコート法、グラビアコート法、バーコート法、ロールコート法、ワイヤーバーコート法、ディップコート法、スプレーコート法、スクリーン印刷法、フレキソ印刷法、オフセット印刷法、インクジェット法、マイクロコンタクトプリンティング法等が挙げられ、これらのうちの1種または2種以上を組み合わせで用いることができる。

【0046】

〔A2〕表面処理工程

次に、基板2のソース電極3およびドレイン電極4が形成された面側(後述する液状層9を形成する面側)に表面処理を行う。

表面処理として、基板2、ソース電極3およびドレイン電極4の表面の、次工程〔A3〕で用いる有機半導体層形成用材料に対する親和性(濡れ性)が、第1のゲート絶縁層形成用材料に対する親和性より高くなるようにする処理(親和性向上処理)を施す。

【0047】

このような表面処理としては、例えば、酸素プラズマ処理、アンモニアプラズマ処理、フッ化炭素プラズマ処理、硫黄含有ガスプラズマ処理のような各種プラズマ処理、紫外線照射、イオン打ち込み(イオンドープ)等の物理的処理や、化学修飾処理、薄膜の形成等の化学的処理が挙げられる。なお、これらの方法は、次工程〔A3〕で用いる有機半導体層形成用材料の特性に応じて、適宜選択される。

【0048】

有機半導体層形成用材料が、第1のゲート絶縁層形成用材料よりも極性が高いものである場合、表面処理には、例えば、酸素プラズマ処理、アンモニアプラズマ処理、オゾン処理、ディープUV処理、界面活性剤の吸着処理等の親水化処理(親液化処理)が好適に選択される。

親水化処理を行うと、基板2、ソース電極3およびドレイン電極4の表面が親水化されるので、その表面に対する有機半導体層形成用材料の濡れ性を、第1のゲート絶縁層形成用材料の濡れ性よりも高くすることができる。

【0049】

また、表面処理として、有機半導体層形成用材料を構成する化合物の一部を含む化学構造(ビルディングユニット)を、基板2、ソース電極3およびドレイン電極4の表面に導入する化学修飾処理を行うことによっても、その表面に対する有機半導体層形成用材料の濡れ性を、第1のゲート絶縁層形成用材料の濡れ性よりも高くすることができる。

例えば、有機半導体層形成用材料が、チオフェン系化合物を含有する場合、図4(a)に示すように、チオフェンを末端に有するアルキル鎖を導入し、ビチオフェン系化合物を含有する場合、図4(b)に示すように、ビチオフェンを末端に有するアルキル鎖を導入する化学修飾処理を行う。

また、有機半導体層形成用材料が、フルオレン系化合物を含有する場合、図4(c)に示すように、フルオレンを末端に有するアルキル鎖を導入し、トリアリールアミン系化合物を含有する場合、図4(d)に示すようにトリフェニルアミン(トリアリールアミン)を末端に有するアルキル鎖を導入する化学修飾処理を行う。

【0050】

これらの化学修飾処理に用いる処理剤（化合物）としては、例えば、ガラスまたはSiO₂等を主材料とする表面に対しては、導入しようとする原子団を一方の末端に、トリメチルシラン、メチルシラン、トリクロロシラン等のシラン含有部分を他方の末端に有するもの等を使用することができ、Au、Pt等を主材料とする表面に対しては、導入しようとする原子団を一方の末端に、チオールを他方の末端に有するもの等を使用することができる。

【0051】

また、表面処理として、有機半導体層形成用材料を構成する化合物と同種の化合物（例えば、同一の化合物、その一部を含む化合物またはこれらの誘導体等）を主材料とする薄膜を、基板2、ソース電極3およびドレイン電極4の表面に形成することによっても、その表面に対する有機半導体層形成用材料の濡れ性を、第1のゲート絶縁層形成用材料の濡れ性よりも高くすることができる。

また、この場合、薄膜には加熱処理や架橋反応等の処理を施したり、薄膜を重量平均分子量が5000以上の化合物を主材料として構成したり等するのが好ましい。これにより、次工程【A3】において用いる溶媒で、形成した薄膜が溶解してしまうのを好適に防止することができる。

【0052】

形成する薄膜の平均厚さは、特に限定されないが、5nm以下であるのが好ましく、2nm以下であるのがより好ましい。薄膜の厚さが厚過ぎると、薄膜の構成材料等によっては、ソース電極3から有機半導体層5へのキャリアの注入効率が損なわれるおそれがある。

このような薄膜は、例えば、スピンコート等の塗布法を用いることにより、容易に形成することができる。

なお、以上のような表面処理は、1種を単独で行ってもよく、任意の2種以上を組み合わせて行うようにしてもよい。

【0053】

【A3】有機半導体層および第1のゲート絶縁層形成工程

次に、図3（d）に示すように、表面処理が施された基板2上に、ソース電極3とドレイン電極4との間および各電極3、4の一部を覆うように、有機半導体層5および第1のゲート絶縁層6を形成する。

【0054】

【A3-1】 まず、互いに相溶しない有機半導体層形成用材料（第1の材料）と、第1のゲート絶縁層形成用材料（第2の材料）と、有機半導体形成用材料および第1のゲート絶縁層形成用材料の双方を溶解し得る溶媒とを含有する液状材料を調製し、この液状材料を基板2上に供給して、液状層9を形成する（第1の工程）。

有機半導体層形成用材料としては、前述したような有機半導体材料またはその前駆体を用いられる。具体的には、オリゴチオフェン、ポリチオフェン、ポリアルキルチオフェン、フルオレンービチオフェン共重合体、フルオレンーアリアルアミン共重合体、ポリアリアルアミン、ペンタセンの前駆体分子のような共役系の化合物（オリゴマー、ポリマー）が挙げられ、これらのうちの1種または2種以上を組み合わせて用いることができる。これらの有機半導体層形成用材料を用いることにより、得られる有機半導体層5は、特に、キャリアの移動度が高いものとなる。

また、これらの有機半導体層形成用材料は、前述したような第1のゲート絶縁層形成用材料との相溶性が低いため、次工程【A3-2】において、有機半導体層形成用材料と第1のゲート絶縁層形成用材料との分離を確実に生じさせることができる。

【0055】

溶媒としては、例えば、ベンゼン、キシレン（ジメチルベンゼン）、トリメチルベンゼン、テトラメチルベンゼン、シクロヘキシルベンゼンのような芳香族系溶媒、クロロベンゼン、プロモベンゼンのようなハロゲン化溶媒、クロロホルム等が挙げられ、これを単独

または混合して（混合溶媒として）用いることができる。これらの溶媒は、いずれも、前記共役系化合物や、第1のゲート絶縁層形成用材料に対して高い溶解性を示す。

【0056】

液状材料中における有機半導体層形成用材料と第1のゲート絶縁層形成用材料との混合比は、重量比で3：1～1：3程度であるのが好ましく、2：1～1：2程度であるのがより好ましい。有機半導体層形成用材料と第1のゲート絶縁層形成用材料との混合比を、前記範囲とすることにより、次工程【A3-2】において、これらの分離をより確実に生じさせることができる。

【0057】

なお、液状材料中における有機半導体層形成用材料と第1のゲート絶縁層形成用材料との合計の含有率は、0.1～6wt/vol程度であるのが好ましく、0.5～4wt/vol程度であるのがより好ましい。有機半導体層形成用材料と第1のゲート絶縁層形成用材料との合計の含有率が少な過ぎると、その分、溶媒の割合が多くなるため、次工程【A3-2】において溶媒の除去に長時間を要し、製造効率の低下を招くおそれがある。一方、有機半導体層形成用材料と第1のゲート絶縁層形成用材料との合計の含有率が多過ぎると、次工程【A3-2】において液状層（液状材料）9中で、有機半導体層形成用材料と第1のゲート絶縁層形成用材料とが移動（ドメインを形成）し難くなり、その結果、これらを分離させるのが困難になるおそれがある。

【0058】

液状材料を供給する方法（供給方法）としては、前述したような塗布法を用いることができるが、特に、インクジェット法（液滴吐出法）を用いるのが好ましい。インクジェット法（液滴吐出法）によれば、所定の位置に液状材料を正確に供給することができ、その結果、所定形状の有機半導体層5および第1のゲート絶縁層61を寸法精度よく形成することができる。

【0059】

【A3-2】 次に、液状材料中から溶媒を除去することにより、主に有機半導体層形成用材料を含む第1のドメインと、主に第1のゲート絶縁層形成用材料を含む第2のドメインとを、液状層9を形成する面90の厚さ方向に相分離させるとともに固化させて、有機半導体層5と第1のゲート絶縁層61とを得る（第2の工程）。

以下、この過程を、図5を参照しながら説明する。図5は、有機半導体層および第1のゲート絶縁層が形成される過程を示す模式図である。

【0060】

この図5では、基板2上（液状層9を形成する面90）に液状材料を供給して形成された液状層9（平均厚さ>20t）から溶媒が除去され、固化して平均厚さtの固化層99（有機半導体層5および第1のゲート絶縁層61）が形成される過程を示す。

なお、乾燥過程の液状層9の厚さは、光学的に反射率の変化や、エアゾメトリーによって計測が可能である。

【0061】

図5（a）に示すように、面90に液状材料を供給して液状層9が形成された直後では、液状層9中において、有機半導体層形成用材料（図中、丸で示す）と第1のゲート絶縁層形成用材料（図中、点で示す）とは、ほぼ均一に溶解した単一相を呈している。

次に、図5（b）に示すように、液状層（液状材料）9中から溶媒が除去されるのじがって、液状層9中において、有機半導体層形成用材料の濃度と第1のゲート絶縁層形成用材料の濃度が徐々に高くなる。

【0062】

そして、液状層9の平均厚さが3t～20tの範囲となると、各材料を構成する化合物（分子）同士の相互作用が大きくなり、各材料が互いに別々の相を形成して分離する相分離が開始する。

すなわち、マトリックス相（溶媒を主とする相）93中に、主に有機半導体層形成用材料を含む泡状の相（第1の泡状相）91と、主に第1のゲート絶縁層形成用材料を含む泡

状の相(第2の泡状相)92とが多数発生する。

本実施形態では、面90に対する親和性が、有機半導体層形成用材料の方が第1のゲート絶縁層形成用材料より高いため、第1の泡状相91は面90へ付着し、第2の泡状相92はマトリックス相93中に浮遊した状態となる。

【0063】

そして、図5(c)に示すように、液状層9中からさらに溶媒が除去され、液状層9の平均厚さが1.2 μ m～10 μ mの範囲となると、第1の泡状相91および第2の泡状相92の成長が促進され、さらに、第1の泡状相91同士および第2の泡状相92同士が融合することにより、主に有機半導体層形成用材料を含む第1のドメイン91'および主に第1のゲート絶縁層形成用材料を含む第2のドメイン92'へと成長する。

【0064】

このとき、第1のドメイン91'は、面90に接触した状態で成長し、第2のドメイン92'は、第1のドメイン91'を覆うように成長して、液状層9の厚さ方向に相分離(垂直相分離)する。

さらに、図5(d)に示すように、液状層9中から溶媒が除去され、液状層9中に実質的に溶媒が存在しない状態となり(すなわち、液状層9が固化に至り)、層状の第1の固化層991および第2の固化層992で構成される固化層99(平均厚さ μ m)が形成される。

この後、各固化層991、992には、必要に応じて、例えば、ヒータによる加熱、赤外線照射等による熱処理を行うようにしてもよい。これにより、例えば、有機半導体層形成用材料が有機半導体材料の前駆体で構成されている場合には、この前駆体を反応(不飽和結合の形成、重合反応等)させて、有機半導体材料に変化させることができる。

【0065】

また、熱処理を施すことにより、第1の固化層991と第2の固化層992とを、再度、溶融または軟化させることができ、これにより、第1の固化層991と第2の固化層992とをより確実に分離すること(これらの界面をより明確にすること)ができる。その結果、最終的に得られる薄膜トランジスタ1は、より特性に優れたものとなる。

この熱処理の条件は、熱処理の目的等によっても異なり、特に限定されないが、好ましくは100℃～400℃×1～30分程度、より好ましくは150℃～280℃×5～15分程度とされる。

このような第1の固化層991により有機半導体層5が構成され、一方、第2の固化層992により第1のゲート絶縁層61が構成される。

【0066】

以上のような過程を経て、図3(d)に示すように、有機半導体層5と、有機半導体層5に接触して積層された第1のゲート絶縁層61が形成され、ソース電極3とドレイン電極4との間(ゲート電極7に対応する領域)には、チャネル領域51が形成される。

このような過程において、液状層(液状材料)9中から溶媒を除去する方法としては、自然乾燥による方法の他、例えば、ヒータによる加熱、赤外線照射による加熱等による方法が挙げられる。

【0067】

液状層9を固化させるのに要する時間(液状層9が固化層99となるまでの時間)は、ドメインが成長するのに十分である程度に長い方がよく、好ましくは5秒以上、より好ましくは10秒以上とされる。この時間が短過ぎると、各ドメイン91'、92'が十分に成長する前に、液状層9が固化して(固化層99が形成されて)しまい、各ドメイン91'、92'を分離させる(垂直相分離させる)のが困難となる場合がある。一方、時間が長すぎると、生産性が低下するだけでなく出来上がった薄膜(固化層99)の平坦性が劣る場合が多い。

【0068】

この時間は、例えば、溶媒として高沸点溶媒を用いることにより容易に調整することができる。高沸点溶媒としては、例えば、沸点が110℃～270℃程度のものが好ましく、

140～210℃程度の方がより好ましい。具体的には、キシレン、トリメチルベンゼン、テトラメチルベンゼン、シクロヘキシルベンゼンまたはこれらを含む混合溶媒等が好適である。

【0069】

なお、高沸点溶媒を用いることにより、液状材料の供給方法としてインクジェット法を適用する場合に、液状材料の特性（粘度等）を、インクジェット法に適したものに調整するのが容易となるという利点もある。

また、溶媒として、低沸点溶媒を用いる場合には、例えば、液状層9中からの溶媒の除去を密閉空間で行うようにして、この際の、密閉空間の溶媒分圧や温度等を制御することによっても、前記時間を適正な範囲に調整することができる。

【0070】

また、低沸点溶媒を用いることにより、得られる有機半導体層5および第1のゲート絶縁層61中に、溶媒が残存するのをより確実に防止することができる。その結果、最終的に得られる薄膜トランジスタ1の特性をより向上させることができる。

低沸点溶媒としては、例えば、沸点が110℃以下であるのが好ましく、60～100℃程度であるのがより好ましい。具体的には、トルエン、クロロホルム、ベンゼン、シクロヘキサン、メチルシクロヘキサン、メチルシクロペンタン、シクロヘキセンまたはこれらを含む混合溶媒等が好適である。

また、液状層9中において、有機半導体層形成用材料と第1のゲート絶縁層形成用材料とを相分離させるためには、これらの分子量が重要となる。

ここで、The Flory-Huggins格子モデルによれば、2種類の分子を混合したときの混合に伴う自由エネルギーの変化量 ΔG は、次式で表される。

【0071】

【数1】

$$\Delta G / RT = n_1 \ln \phi_1 + n_2 \ln \phi_2 + x_{12} \phi_1 \phi_2 (x_1 n_1 + x_2 n_2)$$

ΔG : 混合に伴う自由エネルギーの変化量
 x_{12} : 分子同士の相互作用パラメータ
 x_1 : 一方の分子の長さ
 x_2 : 他方の分子の長さ
 n_1 : 一方の分子のモル数
 n_2 : 他方の分子のモル数
 ϕ_1 : 一方の分子の体積比率
 ϕ_2 : 他方の分子の体積比率

【0072】

この自由エネルギーの変化量 ΔG が正である場合、混合系が不安定で相分離を生じ易く、この自由エネルギーの変化量 ΔG が負である場合、混合系が安定で単一相となり易い。したがって、相分離を生じさせるには、自由エネルギーの変化量 ΔG が正であることが必要となる。

この式において、右辺の $n_1 \ln \phi_1 + n_2 \ln \phi_2$ は、混合エントロピーを表し、一般に負の値をとる。したがって、この混合エントロピーの絶対値が大きい程、混合に伴う自由エネルギーの変化量 ΔG は、負の方向に増加する。

【0073】

ここで、分子量が大きい化合物（分子）では、単位体積当たりのモル数は小さくなるので、 $n_1 \ln \phi_1 + n_2 \ln \phi_2$ は比較的小さい値になり、自由エネルギーの変化量 ΔG

における混合エントロピーの寄与は小さくなる。

また、分子同士の相互作用パラメータ χ_{12} は、分子同士の親和性を反映している。分子同士が互いに相溶しないものである場合、この相互作用パラメータ χ_{12} は、一般に正の値をとり、混合に伴う自由エネルギーの変化量 ΔG は正の方向に増加する。

【0074】

かかる観点から、液状材料からなる液状層9中において、主に有機半導体層形成用材料を含む第1の泡状相91と、主に第1のゲート絶縁層形成用材料を含む第2の泡状相92とを相分離させる（自由エネルギーの変化量 ΔG を正の値とする）には、有機半導体層形成用材料と第1のゲート絶縁層形成用材料とが互いに相溶しないものであるとともに、これらの材料の少なくとも一方が高分子材料であるのが好ましい。これにより、第1の泡状相91と第2の泡状相92とをより確実に相分離させることができる。

【0075】

例えば、有機半導体層形成用材料が高分子材料である場合、その重量平均分子量は、40000～300000程度であるのが好ましく、8000～100000程度であるのがより好ましい。一方、第1のゲート絶縁層形成用材料が高分子材料である場合、その重量平均分子量は、10000～200000程度であるのが好ましく、30000～150000程度であるのがより好ましい。

【0076】

有機半導体層形成用材料の重量平均分子量および第1のゲート絶縁層形成用材料の重量平均分子量の双方が、前記下限値未満の場合、溶媒を除去する条件等によっては、第1の泡状相91と第2の泡状相92との相分離が不十分になるおそれがある。一方、重量平均分子量が前記上限値を超えるものは、溶媒の種類等によっては、溶媒に溶解するのが困難となるおそれがある。

さらに、第1の泡状相91と第2の泡状相92とが相分離し、液状層9の厚さ方向に層状に分離（垂直相分離）した第1のドメイン91'と第2のドメイン92'とに成長させるには、一方のドメインが他方のドメインに比べて、面90に対する濡れ性が高いことが好ましい。

【0077】

本実施形態では、前記工程〔2〕において、表面処理（親和性向上処理）が施され、有機半導体層形成用材料の面90に対する親和性（濡れ性）が向上していることにより、第1のドメイン91'と第2のドメイン92'とをより確実に垂直相分離させることができる。

特に、図5(c)に示すように、液状層9の平均厚さが1.2 μ m～10 μ m程度となる過程（ドメインの成長・融合過程）において、一方のドメイン（本実施形態では、第1のドメイン91'）の面90に対する接触角 θ が、できるだけ0°に近い方がよく、具体的には、30°以下であるのが好ましく、15°以下であるのがより好ましい。これにより、第1のドメイン91'と第2のドメイン92'とをさらに確実に垂直相分離させることができる。

【0078】

なお、前記接触角 θ が90°に近づくにしたがって、第1のドメイン91'と第2のドメイン92'とは、面方向での相分離（面内相分離）を生じる傾向を示すようになる。

なお、この第1のドメイン91'の面90に対する接触角 θ は、第1のドメイン91'と同一組成の液体を面90に滴下した液滴の接触角 θ_1 および表面張力 γ_{GL1} と、第2のドメイン92'と同一組成の液体を面90に滴下した液滴の接触角 θ_2 および表面張力 γ_{GL2} と、第1のドメイン91'と第2のドメイン92'との界面張力 γ_{L1L2} または界面エネルギー密度を測定し、この測定値から次式によって求めることができる。

【0079】

【数2】

$$\cos \theta = (\tau_{GL2} \cos \theta_2 - \tau_{GL1} \cos \theta_1) / \tau_{L1L2}$$

【0080】

〔A4〕第2のゲート絶縁層形成工程

次に、図3（e）に示すように、基板2上に、有機半導体層5および第1のゲート絶縁層61を覆うように、第2のゲート絶縁層62を形成する。

この第2のゲート絶縁層62は、第2のゲート絶縁層を形成するための材料（絶縁材料またはその前駆体）を含有する液状材料（溶液または分散液）を、有機半導体層5および第1のゲート絶縁層61を覆うように供給して被膜を形成した後、必要に応じて、この被膜に対して後処理（例えば加熱、赤外線照射、超音波の付与等）を施すことにより形成することができる。

前記液状材料を基板2上に供給する方法としては、前記工程〔A1〕で挙げたのと同様の方法を用いることができる。

【0081】

また、前記液状材料を調製するのに用いる液体（溶液または分散媒）としては、有機半導体層5や第1のゲート絶縁層61を溶解または溶解させないものが好適に使用される。

このような液体としては、例えば、水、メタノール、エタノール、1-プロパノールのようなアルコール類、アセトン、メチルエチルケトンのようなケトン類、エーテル類、酢酸エチルのようなエステル類等が挙げられ、これらを単独または混合液として用いることができる。

【0082】

その他、第2のゲート絶縁層62をSiO₂（無機絶縁材料）で構成する場合には、例えば、次のようにして形成することができる。

すなわち、この場合、第2のゲート絶縁層62は、例えば、ポリシリケート、ポリシロキサン、ポリシラザンのような液状材料を基板2上に供給して被膜を形成した後、この被膜を酸素および/または水蒸気を含む雰囲気中で加熱して、液状材料からSiO₂を生成させることにより形成することができる。

また、この場合、Siアルコキシドを含有する液状材料を基板2上に供給して被膜を形成した後、この被膜を酸素を含む雰囲気中で加熱して、液状材料からSiO₂を生成させる（かかる方法は、ゾル・ゲル法として知られる）ことにより形成することもできる。

【0083】

〔A5〕ゲート電極形成工程

次に、図3（f）に示すように、第2のゲート絶縁層62上に、チャネル領域51に対応してゲート電極7を形成する。

このゲート電極7は、例えば、ゲート電極を形成するための材料（導電性材料またはその前駆体）を含有する液状材料（溶液または分散液）を、第2のゲート絶縁層62上に供給して被膜を形成した後、必要に応じて、この被膜に対して後処理（例えば加熱、赤外線照射、超音波の付与等）を施すことにより形成することができる。

【0084】

前記液状材料を第2のゲート絶縁層62上に供給する方法としては、前記工程〔A1〕で挙げたのと同様の方法を用いることができるが、特に、インクジェット法を用いるのが好ましい。インクジェット法によれば、所定形状のゲート電極7を、容易かつ確実に形成することができる。

以上のような工程を経て、図1に示す薄膜トランジスタ1が得られる。

【0085】

前述したような製造方法によれば、有機半導体層5とその上部層（第1のゲート絶縁層61）を同一の工程で形成するので、有機半導体層5が上部層（第1のゲート絶縁層61）用の溶媒等によって溶解・膨潤する問題が生じない。

また、有機半導体層形成用材料および第1のゲート絶縁層形成用材料は、互いに相溶せず、かつ、共通の溶媒に溶解するといった条件を満たせばよいので、材料の選択の幅が広く、各層の機能を重視して最適な材料を選択することができる。

【0086】

このようなことから、前述したような製造方法によれば、性能に優れた薄膜トランジスタ1を容易に製造することができる。

なお、本実施形態において、基板2上に下地層を設ける場合には、下地層の構成材料と、ソース電極3およびドレイン電極4の構成材料とを、それぞれ、有機半導体層形成用材料との親和性（濡れ性）が高いものを選択することにより、前記工程〔A2〕の表面処理工程を省略することもできる。

【0087】

＜＜薄膜トランジスタの第2構成＞＞

次に、本発明の薄膜トランジスタの第2構成（第2実施形態）について説明する。

図6は、第2構成の薄膜トランジスタを示す縦断面図である。なお、以下の説明では、図6中の上側を「上」、下側を「下」と言う。

以下、薄膜トランジスタの第2構成および第2製造方法について説明するが、それぞれ、前記第1構成との相違点、第1製造方法との相違点を中心に説明し、同様の事項については、その説明を省略する。

【0088】

第2構成の薄膜トランジスタは、薄膜トランジスタを構成する各層の順序が異なり、それ以外は、前記第1構成の薄膜トランジスタと同様である。

すなわち、図6に示す薄膜トランジスタ11は、基板2上に設けられており、ゲート電極7と、第2のゲート絶縁層62と、第1のゲート絶縁層61と、有機半導体層5と、ソース電極3およびドレイン電極4とが、この順で基板2側から積層されて構成されている。

【0089】

具体的には、基板2上に、ゲート電極7が設けられ、このゲート電極7を覆うように第2のゲート絶縁層62が設けられている。さらに第2のゲート絶縁層62上には、ゲート電極7と重なるように、第1のゲート絶縁層61および有機半導体層5が設けられ、さらに第1のゲート絶縁層61と有機半導体層5との積層体の両端部に、それぞれ、ソース電極3とドレイン電極4が分離して設けられている。ゲート電極7は、少なくともこのソース電極3とドレイン電極4の間の領域に重なる位置に設けられている。

【0090】

この薄膜トランジスタ11では、有機半導体層5のうち、ソース電極3とドレイン電極4との間の領域が、キャリアが移動するチャネル領域51となっている。

このような薄膜トランジスタ11は、ゲート電極4が、ゲート絶縁層61、62を介してソース電極3およびドレイン電極4よりも基板2側に設けられた構成の薄膜トランジスタ、すなわち、ボトムゲート構造の薄膜トランジスタである。

【0091】

この薄膜トランジスタ11の各部の構成（構成材料、寸法等）は、第1構成の薄膜トランジスタ1と同様である。

このような薄膜トランジスタ11は、例えば、次のようにして製造される。

以下、薄膜トランジスタ11の製造方法（本発明の薄膜トランジスタの製造方法の第2実施形態）について、説明する。

【0092】

＜＜第2構成の薄膜トランジスタの製造方法＞＞

図7および図8は、それぞれ、図6に示す薄膜トランジスタの製造方法を説明するため

の図(縦断面図)である。なお、以下の説明では、図7および図8中の上側を「上」、下側を「下」と言う。

薄膜トランジスタ11の製造方法は、[B1]ゲート電極形成工程と、[B2]第2のゲート絶縁層形成工程と、[B3]第1のゲート絶縁層および有機半導体層形成工程と、[B4]ゲート電極形成工程とを有している。以下、これらの各工程について、順次説明する。

【0093】

[B1]ゲート電極形成工程

図7(a)に示すように基板2を用意し、この基板2上に、図7(b)に示すようなゲート電極7を形成する。

このゲート電極7は、前記工程[A1]と同様にして形成することができる。

【0094】

[B2]第2のゲート絶縁層形成工程

次に、図7(c)に示すように、基板2上に、ゲート電極7を覆うように、第2のゲート絶縁層62を形成する。

この第2のゲート絶縁層62は、前記工程[A4]と同様にして形成することができる。

本実施形態では、この第2のゲート絶縁層62の構成材料(絶縁材料)として、次工程[B3]で用いる有機半導体層形成用材料より第1のゲート絶縁層形成用材料に対する親和性(濡れ性)が高いものを選択する。

【0095】

第1のゲート絶縁層形成用材料として、前述したようなものを用いる場合には、第2のゲート絶縁層62の構成材料としては、例えば、ポリエチレン、ポリプロピレン、ポリブテンのようなオレフィン系樹脂、ポリメチルメタクリレート(PMMA)のようなアクリル樹脂、ポリスチレン等が挙げられ、これらのうちの1種または2種以上を組み合わせで用いることができる。

【0096】

このうち、絶縁材料としてポリマーを用いる場合には、その重量平均分子量が5000以上のもを用いることや、架橋構造を形成することが好ましい。これにより、次工程[B3]において用いる溶媒により、第2のゲート絶縁層62が溶解してしまうのを好適に防止することができる。

なお、この第2のゲート絶縁層62を形成するのに代わって、有機半導体層形成用材料より第1のゲート絶縁層形成用材料に対する親和性(濡れ性)が高くなるような表面処理を行うようにしてもよい。

【0097】

第1のゲート絶縁層形成用材料として、前述したようなものを用いる場合には、表面処理としては、アルキル基を有するカップリング剤による処理、炭化水素プラズマ処理、不活性ガスによるプラズマ処理、有機溶剤での洗浄、有機物の吸着処理等の極性を低下させる処理が挙げられる。

本実施形態では、この本工程[B2]における処理が、親和性向上処理に相当する。

【0098】

[B3]第1のゲート絶縁層および有機半導体層形成工程

次に、図8(d)に示すように、第2のゲート絶縁層62上に、ゲート電極7と重なるように、第1のゲート絶縁層61および有機半導体層5を形成する。

この第1のゲート絶縁層61および有機半導体層5は、前記工程[A3]と同様にして形成することができる。

本実施形態では、第2のゲート絶縁層62の第1のゲート絶縁層形成用材料との親和性(濡れ性)が有機半導体層形成用材料との親和性よりも高いため、第2のゲート絶縁層62側に第1のゲート絶縁層61が形成され、この第1のゲート絶縁層61上に有機半導体層5が積層形成される。

【0099】

〔B4〕ソース電極およびドレイン電極形成工程

次に、図8(e)に示すように、第1のゲート絶縁層61と有機半導体層5との積層体の両端部に、それぞれ、有機半導体層5に接触するソース電極3およびドレイン電極4を形成する。

このソース電極3およびドレイン電極4は、前記工程〔A5〕と同様にして形成することができる。

以上のような工程を経て、図6に示す薄膜トランジスタ11が得られる。

このような第2構成の薄膜トランジスタおよびその製造方法によっても、前記第1構成の薄膜トランジスタおよびその製造方法と同様の作用・効果が得られる。

【0100】

<電子デバイス>

次に、前述したような薄膜トランジスタ1、11を備えるアクティブマトリクス装置が組み込まれた電子デバイスについて、電気泳動表示装置を一例に説明する。

図9は、本発明の電子デバイスを電気泳動表示装置に適用した場合の実施形態を示す縦断面図、図10は、図9に示す電気泳動表示装置が備えるアクティブマトリクス装置の構成を示すブロック図である。

【0101】

図9に示す電気泳動表示装置20は、基板50上に設けられたアクティブマトリクス装置(本発明の薄膜トランジスタ回路)30と、このアクティブマトリクス装置30に電気的に接続された電気泳動表示部40とで構成されている。

図10に示すように、アクティブマトリクス装置30は、互いに直交する複数のデータ線31と、複数の走査線32と、これらのデータ線31と走査線32との各交点付近に設けられた薄膜トランジスタ1、11とを有している。

そして、薄膜トランジスタ1、11が有するゲート電極7は走査線32に、ソース電極3はデータ線31に、ドレイン電極4は後述する画素電極(個別電極)41に、それぞれ接続されている。

【0102】

図9に示すように、電気泳動表示部40は、基板50上に、順次積層された、画素電極41と、マイクロカプセル42と、透明電極(共通電極)43および透明基板44とを有している。

そして、マイクロカプセル42がバインダ材45により、画素電極41と透明電極43との間に固定されている。

【0103】

画素電極41は、マトリクス状に、すなわち、縦横に規則正しく配列するように分割されている。

各カプセル42内には、それぞれ、特性の異なる複数種の電気泳動粒子、本実施形態では、電荷および色(色相)の異なる2種の電気泳動粒子421、422を含む電気泳動分散液420が封入されている。

【0104】

このような電気泳動表示装置20では、1本あるいは複数本の走査線32に選択信号(選択電圧)を供給すると、この選択信号(選択電圧)が供給された走査線32に接続されている薄膜トランジスタ1、11がONとなる。

これにより、かかる薄膜トランジスタ1、11に接続されているデータ線31と画素電極41とは、実質的に導通する。このとき、データ線31に所望のデータ(電圧)を供給した状態であれば、このデータ(電圧)は画素電極41に供給される。

【0105】

これにより、画素電極41と透明電極43との間に電界が生じ、この電界の方向、強さ、電気泳動粒子421、422の特性等に応じて、電気泳動粒子421、422は、いずれかの電極の方向に向かって電気泳動する。

一方、この状態から、走査線32への選択信号(選択電圧)の供給を停止すると、薄膜トランジスタ1、11はOFFとなり、かかる薄膜トランジスタ1、11に接続されているデータ線31と画素電極41とは非導通状態となる。

【0106】

したがって、走査線32への選択信号の供給および停止、あるいは、データ線31へのデータの供給および停止を適宜組み合わせることで、電気泳動表示装置20の表示面側(透明基板44側)に、所望の画像(情報)を表示させることができる。

特に、本実施形態の電気泳動表示装置20では、電気泳動粒子421、422の色を異ならせていることにより、多階調の画像を表示することが可能となっている。

【0107】

また、本実施形態の電気泳動表示装置20は、アクティブマトリクス装置30を有することにより、特定の走査線32に接続された薄膜トランジスタ1、11を選択的にON/OFFすることができるので、クロストークの問題が生じにくく、また、回路動作の高速化が可能であることから、高い品質の画像(情報)を得ることができる。

また、本実施形態の電気泳動表示装置20は、低い駆動電圧で動作するため、省電力化が可能である。

なお、本発明の電子デバイスは、このような電気泳動表示装置20への適用に限定されるものではなく、液晶表示装置、有機または無機EL表示装置等に適用することもできる。

【0108】

<電子機器>

このような電気泳動表示装置20は、各種電子機器に組み込むことができる。以下、電気泳動表示装置20を備える本発明の電子機器について説明する。

<<電子ペーパー>>

まず、本発明の電子機器を電子ペーパーに適用した場合の実施形態について説明する。

図11は、本発明の電子機器を電子ペーパーに適用した場合の実施形態を示す斜視図である。

この図に示す電子ペーパー600は、紙と同様の質感および柔軟性を有するリライタブルシートで構成される本体601と、表示ユニット602とを備えている。

このような電子ペーパー600では、表示ユニット602が、前述したような電気泳動表示装置20で構成されている。

【0109】

<<ディスプレイ>>

次に、本発明の電子機器をディスプレイに適用した場合の実施形態について説明する。

図12は、本発明の電子機器をディスプレイに適用した場合の実施形態を示す図であり、(a)は断面図、(b)は平面図である。

この図に示すディスプレイ800は、本体部801と、この本体部801に対して着脱自在に設けられた電子ペーパー600とを備えている。なお、この電子ペーパー600は、前述したような構成、すなわち、図11に示す構成と同様のものである。

【0110】

本体部801は、その側部(図中、右側)に電子ペーパー600を挿入可能な挿入口805が形成され、また、内部に二組の搬送ローラ対802a、802bが設けられている。電子ペーパー600を、挿入口805を介して本体部801内に挿入すると、電子ペーパー600は、搬送ローラ対802a、802bにより挟持された状態で本体部801に設置される。

【0111】

また、本体部801の表示面側(下図(b)中、紙面手前側)には、矩形状の孔部803が形成され、この孔部803には、透明ガラス板804が嵌め込まれている。これにより、本体部801の外部から、本体部801に設置された状態の電子ペーパー600を視認することができる。すなわち、このディスプレイ800では、本体部801に設置され

た状態の電子ペーパー600を、透明ガラス板804において視認させることで表示面を構成している。

また、電子ペーパー600の挿入方向先端部(図中、左側)には、端子部806が設けられており、本体部801の内部には、電子ペーパー600を本体部801に設置した状態で端子部806が接続されるソケット807が設けられている。このソケット807には、コントローラー808と操作部809とが電気的に接続されている。

【0112】

このようなディスプレイ800では、電子ペーパー600は、本体部801に着脱自在に設置されており、本体部801から取り外した状態で携帯して使用することもできる。

また、このようなディスプレイ800では、電子ペーパー600が、前述したような電気泳動表示装置20で構成されている。

なお、本発明の電子機器は、以上のようなものへの適用に限定されず、例えば、テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、電子新聞、ワードプロセッサ、パーソナルコンピュータ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等を挙げることができ、これらの各種電子機器の表示部に、電気泳動表示装置20を適用することが可能である。

【0113】

以上、本発明の薄膜トランジスタの製造方法、薄膜トランジスタ、薄膜トランジスタ回路、電子デバイスおよび電子機器について説明したが、本発明は、これらに限定されるものではない。

例えば、前記実施形態では、第1のゲート絶縁層と第2のゲート絶縁層の2層が設けられているが、第2のゲート絶縁層は省略するようにしてもよい。

【0114】

また、ソース電極およびドレイン電極は、双方が歯状をなし、その歯が互いに噛み合うようにして形成されたものであってもよい。

また、本発明の薄膜トランジスタの製造方法は、前述したような工程に、必要に応じて、1または2以上の任意の目的の工程を追加することもできる。

また、本発明の薄膜トランジスタ、電子デバイスおよび電子機器の各部の構成は、同様の機能を発揮し得る任意のものと置換することができ、あるいは、任意の構成のものを付加することもできる。

【実施例】

【0115】

次に、本発明の具体的実施例について説明する。

1. 薄膜トランジスタの製造

(実施例1)

<1-1> まず、平均厚さ1mmのガラス基板を用意し、このガラス基板上に、Auよりなるソース電極およびドレイン電極を形成した。

なお、得られたソース電極およびドレイン電極の平均厚さは、100nm、ソース電極とドレイン電極との距離(チャネル長L)は、10 μ m、チャネル幅Wは、1mmであった。

【0116】

<1-2> 次に、ソース電極およびドレイン電極が形成されたガラス基板に対して、大気圧下で酸素プラズマ処理(大気圧酸素プラズマ処理)を施した。これにより、ガラス基板に対して表面処理を施した。

なお、大気圧酸素プラズマの条件は、RFパワー0.05W/cm²、酸素ガス流量80sccm、処理時間150秒とした。

【0117】

<1-3> 次に、有機半導体層形成用材料としてF8T2(フルオレンービチオフェン共重合体、重量平均分子量10000)を1%wt/vol、第1のゲート絶縁層形成

用材料としてポリスチレン（重量平均分子量500000）を1%wt/volとなるように、それぞれ、1, 2, 4-トリメチルベンゼン（沸点168℃）に溶解して液状材料を調製した。

[0118]

この液状材料を、表面処理が施されたガラス基板上に、インクジェット法（液滴の直径が25μm）により供給して液状層（平均厚さ2100nm）を形成した。

その後、この液状層を25℃で自然乾燥（溶媒を除去）して固化させた。これにより、有機半導体層および第1のゲート絶縁層（固化層）を得た。

なお、乾燥時間（液状層を固化させるのに要する時間）は、15秒であり、固化層の平均厚さは、100nmであった。

[0119]

また、液状層の乾燥過程において、液状層の平均厚さが800nmとなった時点において、主にF8T2を含有するドメインのガラス基板の表面に対する接触角θは、12.5°であった。

また、得られた有機半導体層および第1のゲート絶縁層の平均厚さは、それぞれ、50nm、50nmであった。

[0120]

<1-4> 次に、ポリビニルフェノール（重量平均分子量20000）を5%wt/volとなるように、1-プロパノールに溶解して液状材料を調製した。

この液状材料を、有機半導体層および第1のゲート絶縁層が形成された基板上に、スピンコート法（2400rpm）により供給した後、60℃×10分間で乾燥した。これにより、第2のゲート絶縁層を形成した。

なお、得られた第2のゲート絶縁層の第1のゲート絶縁層上における厚さは、450nmであった。すなわち、実質的にゲート絶縁層として機能する部分の平均厚さは、500nmであった。

[0121]

<1-5> 次に、第2のゲート絶縁層上の、ソース電極とドレイン電極との間の領域に対応する部分に、PEDOT（ポリエチレンジオキシチオフェン）の水分散液を、インクジェット法（液滴の直径が25μm）により供給した後、80℃×10分間で乾燥した。これにより、ゲート電極を形成した。

なお、得られたゲート電極の平均厚さは、100nmであった。

以上の工程により、図1に示す薄膜トランジスタを製造した。

[0122]

（実施例2）

以下に示すようにした以外は、前記実施例1と同様にして、薄膜トランジスタを製造した。

<2-1> まず、ポリイミド前駆体を6%wt/volとなるように、N-メチル-2-ピロリドンに溶解して液状材料を調製した。

この液状材料を、ガラス基板上に、スピンコート法（2400rpm）により供給した後、250℃×30分間で熱処理を施した。これにより、ポリイミド膜を形成した。

なお、ポリイミド膜の平均厚さは、400nmであった。

次に、このポリイミド膜上に、Auよりなるソース電極およびドレイン電極を形成した。

[0123]

<2-2> 前記工程<1-2>と同様の工程を省略した。

<2-3> 前記工程<1-3>と同様の工程を行った。

なお、液状層の乾燥過程において、液状層の平均厚さが800nmとなった時点において、主にF8T2を含有するドメインのガラス基板（ポリイミド膜）の表面に対する接触角θは、9.5°であった。

<2-4> 前記工程<1-4>と同様の工程を行った。

<2-5> 前記工程<1-5>と同様の工程を行った。

【0124】

(実施例3)

前記工程<1-3>において、固化層に対して、160℃×10分で熱処理を施した以外は、前記実施例1と同様にして、薄膜トランジスタを製造した。

(実施例4)

以下に示すようにした以外は、前記実施例1と同様にして、薄膜トランジスタを製造した。

<4-1> まず、平均厚さ1mmのポリカーボネート基板を用意し、このポリカーボネート基板上に、Auよりなるソース電極およびドレイン電極を形成した。

【0125】

<4-2> 大気圧酸素プラズマ処理に代えて、ソース電極およびドレイン電極が形成されたポリカーボネート基板に対して、大気圧下で硫化水素プラズマ(大気圧硫化水素プラズマ処理)を施した。これにより、ポリカーボネート基板に対して表面処理を施した。

なお、大気圧硫化水素プラズマ処理の条件は、RFパワー0.05W/cm²、硫化水素ガス流量80sccm、処理時間150秒とした。

【0126】

<4-3> 次に、有機半導体層形成用材料としてポリヘキシルチオフェン(重量平均分子量20000)を1%wt/vol、第1のゲート絶縁層形成用材料としてポリメチルメタクリレート(重量平均分子量700000)を1%wt/volとなるように、それぞれ、クロロベンゼン(沸点132℃)に溶解して液状材料を調製した。

この液状材料を、表面処理が施されたポリカーボネート基板上に、インクジェット法(液滴の直径が25μm)により供給して液状層(平均厚さ250nm)を形成した。

その後、この液状層を25℃で自然乾燥(溶媒を除去)して固化させた。

なお、乾燥時間(液状層を固化させるのに要する時間)は、10秒であり、固化層の平均厚さは、100nmであった。

また、液状層の乾燥過程において、液状層の平均厚さが800nmとなった時点において、主にポリヘキシルチオフェンを含有するドメインのポリカーボネート基板の表面に対する接触角θは、15°であった。

次に、固化層に対して、180℃×5分で熱処理を施した。これにより、有機半導体層および第1のゲート絶縁層を得た。

なお、得られた有機半導体層および第1のゲート絶縁層の平均厚さは、それぞれ、50nm、50nmであった。

<4-4> 前記工程<1-4>と同様の工程を行った。

<4-5> 前記工程<1-5>と同様の工程を行った。

【0127】

(実施例5)

以下に示すようにした以外は、前記実施例4と同様にして、薄膜トランジスタを製造した。

<5-1> 前記工程<4-1>と同様の工程を行った。

<5-2> 次に、ポリフェニルアミン(重量平均分子量60000)を0.1%wt/volとなるように、トルエンに溶解して液状材料を調整した。

この液状材料を、ソース電極およびドレイン電極が形成されたポリカーボネート基板上に、スピンコート法(2400rpm)により供給した後、150℃×10分間で乾燥した。これにより、ポリカーボネート基板に対して表面処理を施した。

なお、得られたポリフェニルアミン膜の平均厚さは、2nmであった。

【0128】

<5-3> 次に、有機半導体層形成用材料としてポリフェニルアミン(重量平均分子量8000)を1%wt/vol、第1のゲート絶縁層形成用材料としてポリスチレン(重量平均分子量500000)を1%wt/volとなるように、それぞれ、o-キシレ

ン(沸点144℃)に溶解して液状材料を調製した。

この液状材料を、表面処理が施されたポリカーボネート基板上に、インクジェット法(液滴の直径が25μm)により供給して液状層(平均厚さ2500nm)を形成し、その後、この液状層を25℃で自然乾燥(溶媒を除去)して固化させた。これにより、有機半導体層および第1のゲート絶縁層(固化層)を得た。

なお、乾燥時間(液状層を固化させるのに要する時間)は、10秒であり、固化層の平均厚さは、100nmであった。

また、液状層の乾燥過程において、液状層の平均厚さが800nmとなった時点において、主にポリフェニルアミンを含有するドメインのポリカーボネート基板(ポリフェニルアミン膜)の表面に対する接触角θは、3.5°であった。

また、得られた有機半導体層および第1のゲート絶縁層の平均厚さは、それぞれ、50nm、50nmであった。

<5-4> 前記工程<4-4>と同様の工程を行った。

<5-5> PEDOTの水分散液に代えて、Ag微粒子の水分散液を用いた以外は、前記工程<4-5>と同様にして、ゲート電極を形成した。

[0129]

(実施例6)

以下に示すようにした以外は、前記実施例5と同様にして、薄膜トランジスタを製造した。

<6-1> 前記工程<5-1>と同様の工程を行った。

<6-2> 前記工程<5-2>と同様の工程を行った。

[0130]

<6-3> 次に、有機半導体層形成用材料としてペンタセン前駆体を1%wt/vol、第1のゲート絶縁層形成用材料としてポリスチレン(重量平均分子量50000)を1%wt/volとなるように、それぞれ、p-キシレン(沸点138℃)に溶解して液状材料を調製した。

この液状材料を、表面処理が施されたポリカーボネート基板上に、インクジェット法(液滴の直径が25μm)により供給して液状層(平均厚さ2000nm)を形成した。

その後、この液状層を25℃で自然乾燥(溶媒を除去)して固化させた。

[0131]

なお、乾燥時間(液状層を固化させるのに要する時間)は、10秒であり、固化層の平均厚さは、100nmであった。

また、液状層の乾燥過程において、液状層の平均厚さが800nmとなった時点において、主にペンタセン前駆体を含有するドメインのポリカーボネート基板(ポリフェニルアミン膜)の表面に対する接触角θは、7.5°であった。

[0132]

これにより、固化層に対して、180℃×20分で熱処理を施して、ペンタセン前駆体をペンタセンに変化させた。これにより、有機半導体層および第1のゲート絶縁層を得た。

なお、得られた有機半導体層および第1のゲート絶縁層の平均厚さは、それぞれ、50nm、50nmであった。

[0133]

(実施例7)

<7-1> まず、平均厚さ1mmのガラス基板を用意し、このガラス基板上に、Auよりなるゲート電極を形成した。

なお、得られたゲート電極の平均厚さは、100nmであった。

<7-2> 次に、シアノエチル基含有セルロース誘導体(信越化学社製、「CR-S」)を5%wt/volとなるように、N-メチル-2-ピロリドンに溶解して液状材料を調製した。

この液状材料を、ガラス基板上に、スピンコート法(2400rpm)により供給した

後、80℃×10分間で乾燥した。これにより、第2のゲート絶縁層を形成した。

なお、得られた第2のゲート絶縁層のゲート電極上における厚さは、450nmであった。

【0134】

<7-3> 次に、有機半導体層形成用材料としてF8T2（フルオレンービチオフェン共重合体、重量平均分子量10000）を1%wt/vol、第1のゲート絶縁層形成用材料としてポリスチレン（重量平均分子量50000）を1%wt/volとなるように、それぞれ、1, 2, 4-トリメチルベンゼン（沸点168℃）に溶解して液状材料を調製した。

この液状材料を、第2のゲート絶縁層上に、インクジェット法（液滴の直径が25μm）により供給して液状層（平均厚さ2100nm）を形成した。

その後、この液状層を25℃で自然乾燥（溶媒を除去）して固化させた。これにより、有機半導体層および第1のゲート絶縁層（固化層）を得た。

【0135】

本実施例7では、第2のゲート絶縁層は、極性が低いポリエチレンからなるため、第1のゲート絶縁層が第2のゲート絶縁層上に形成され、この第2のゲート絶縁層上に有機半導体層が形成された。

なお、乾燥時間（液状層を固化させるのに要する時間）は、15秒であり、固化層の平均厚さは、100nmであった。

【0136】

また、液状層の乾燥過程において、液状層の平均厚さが800nmとなった時点において、主にポリスチレンを含有するドメインの第2のゲート絶縁層の表面に対する接触角θは、10°、5°であった。

また、得られた有機半導体層および第1のゲート絶縁層の平均厚さは、それぞれ、50nm、50nmであった。すなわち、実質的にゲート絶縁層として機能する部分の平均厚さは、500nmであった。

【0137】

<7-4> 次に、Ag微粒子の水分散液を、インクジェット法（液滴の直径が25μm）により、有機半導体層と第1のゲート絶縁層との積層体の両端部に供給した後、80℃×10分間で乾燥した。これにより、ソース電極およびドレイン電極を形成した。

以上の工程により、図6に示す薄膜トランジスタを製造した。

【0138】

（比較例）

まず、平均厚さ1mmのガラス基板を用意し、このガラス基板の上に、Auよりなるソース電極およびドレイン電極を形成した。

なお、得られたソース電極およびドレイン電極の平均厚さは、100nm、ソース電極とドレイン電極との距離（チャネル長L）は、10μm、チャネル幅Wは、1mmであった。

【0139】

次に、ソース電極およびドレイン電極が形成されたガラス基板に対して、大気圧下で酸素プラズマ処理（大気圧酸素プラズマ処理）を施した。これにより、ガラス基板に対して表面処理を施した。

なお、大気圧酸素プラズマの条件は、RFパワー0.05W/cm²、酸素ガス流量80sccm、処理時間150秒とした。

【0140】

次に、有機半導体層形成用材料としてF8T2を1%wt/volとなるようにトルエンに溶解して液状材料を調製した。

この液状材料を、表面処理が施されたガラス基板上に、スピンコート法（2400rpm）により供給した後、60℃×10分間で乾燥した。これにより、有機半導体層を形成した。

なお、得られた有機半導体層の平均厚さは、50 nmであった。

【0141】

次に、ポリメチルメタクリレート (PMMA) を5%wt/volとなるように酢酸ブチルに溶解して液状材料を調製した。

この液状材料を、有機半導体層上に、スピンコート法(2400rpm)により供給した後、60℃×10分間で乾燥した。これにより、ゲート絶縁層を形成した。

なお、得られたゲート絶縁層の平均厚さは、50 nmであった。

【0142】

次に、ゲート絶縁層上の、ソース電極とドレイン電極との間の領域に対応する部分に、PEDOT (ポリエチレンジオキシチオフェン) の水分散液を、インクジェット法(液滴の半径が25μm)により供給した後、80℃×10分間で乾燥した。これにより、ゲート電極を形成した。

なお、得られたゲート電極の平均厚さは、100 nmであった。

以上の工程により、薄膜トランジスタを製造した。

【0143】

2. 評価

各実施例および比較例で製造した薄膜トランジスタについて、それぞれ、しきい電圧、S値、および、キャリア移動度を測定した。

ここで、しきい電圧とは、ゲート電圧と $I_{d1}/2$ (I_d :ドレイン電流の値)との関係を表す近似式(関係式)の値が0となるときのゲート電圧であり、ドレイン電流が流れ始めるのに要するゲート電圧とみなすことができる。また、S値とは、ドレイン電流の値が1桁上昇するのに要するゲート電圧の値である。

したがって、しきい電圧の絶対値が小さく、S値が小さく、キャリア移動度が大きいものの程、良好な特性を有する薄膜トランジスタであることを意味する。

これらの値を、表1に示す。

【0144】

【表1】

表 1

	有機半導体層	各層の構成材料		表面処理	固化層に付する熱処理	しきい電圧値 [V]	S値 [V/dec]	キャリア移動度 [cm^2/Vs]
		第1のゲート絶縁層	第2のゲート絶縁層					
実施例1	F8T2	ポリスチレン	ポリスチレン	酸素 プラズマ処理	無	-2	1.5	7×10^{-1}
実施例2	F8T2	ポリスチレン	ポリスチレン	(ポリイミド 下地膜)	無	-1	0.5	6×10^{-1}
実施例3	F8T2	ポリスチレン	ポリスチレン	酸素 プラズマ処理	有	-1	1.9	9×10^{-1}
実施例4	ポリヘキシル チオフェン	ポリメチル メタクリレート	ポリメチル メタクリレート	酸素 プラズマ処理	有	2	2.0	5×10^{-1}
実施例5	ポリフエニル アミン	ポリスチレン	ポリスチレン	ポリフエニル アミン膜	無	0	2.0	3×10^{-1}
実施例6	ペンタセン	ポリスチレン	ポリスチレン	ポリフエニル アミン膜	有	-2	3.5	2×10^{-1}
実施例7	F8T2	ポリスチレン	ポリスチレン	(第2のゲート 絶縁層)	無	-3	1.1	4×10^{-1}
比較例	F8T2	ポリメチル メタクリレート	ポリメチル メタクリレート	酸素 プラズマ処理	無	-5	2.0	3×10^{-1}

F8T2：フルオロレン-ビチオフェン共重合体

表1に示すように、各実施例で製造した薄膜トランジスタは、いずれも、しきい電圧の絶対値およびS値が小さく、キャリア移動度の値は大きいものであり、特性に優れたものであった。

これに対して、比較例で製造した薄膜トランジスタは、特性に劣るものであった。

【図面の簡単な説明】

【0146】

【図1】第1構成の薄膜トランジスタを示す縦断面図である。

【図2】図1に示す薄膜トランジスタの製造方法を説明するための図である。

【図3】図1に示す薄膜トランジスタの製造方法を説明するための図である。

【図4】図1に示す薄膜トランジスタの製造方法を説明するための図である。

【図5】図1に示す薄膜トランジスタの製造方法を説明するための図である。

【図6】第2構成の薄膜トランジスタを示す縦断面図である。

【図7】図6に示す薄膜トランジスタの製造方法を説明するための図である。

【図8】図6に示す薄膜トランジスタの製造方法を説明するための図である。

【図9】電気泳動表示装置（電子デバイス）の実施形態を示す縦断面図である。

【図10】図9に示す電気泳動表示装置が備えるアクティブマトリクス装置の構成を示すブロック図である。

【図11】電子ペーパー（電子機器）の実施形態を示す斜視図である。

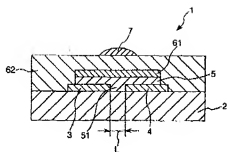
【図12】ディスプレイ（電子機器）の実施形態を示す図である。

【符号の説明】

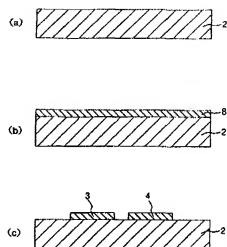
【0147】

1、11…薄膜トランジスタ 2…基板 3…ソース電極 4…ドレイン電極
5…有機半導体層 51…チャネル領域 61…第1のゲート絶縁層 62…
第2のゲート絶縁層 7…ゲート電極 8…金属膜 9…液状層 90…面 9
1…第1の泡状相 91'…第1のドメイン 92…第2の泡状相 92'…第
2のドメイン 93…マトリックス相 99…固化層 991…第1の固化層 9
92…第2の固化層 20…電気泳動表示装置 30…アクティブマトリクス装置
31…データ線 32…走査線 40…電気泳動表示部 41…画素電極 4
2…マイクロカプセル 420…電気泳動分散液 421、422…電気泳動粒子
43…透明電極 44…透明基板 45…バインダ材 50…基板 60…
電子ペーパー 601…本体 602…表示ユニット 800…ディスプレイ
801…本体部 802a、802b…搬送ローラ対 803…孔部 804…
透明ガラス板 805…挿入口 806…端子部 807…ソケット 808…
コントローラ 809…操作部

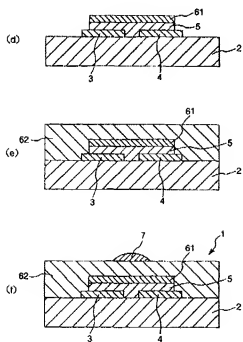
【図1】



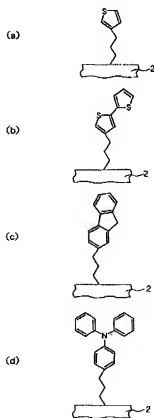
【図2】



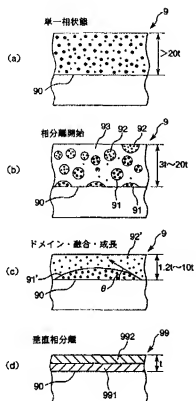
【図3】



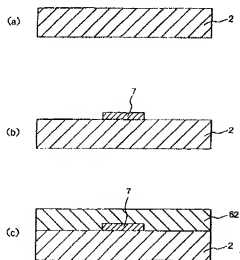
【図4】



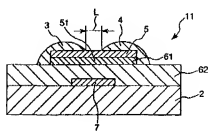
【図5】



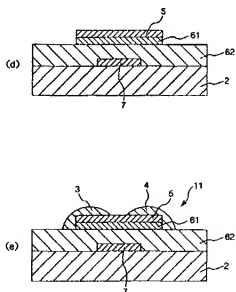
【図7】



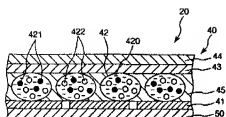
【図6】



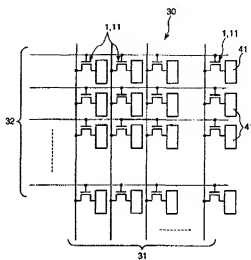
【図8】



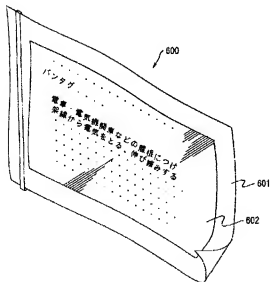
【図9】



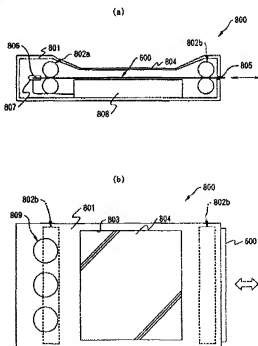
【図10】



【図11】



【図12】



(51)Int. Cl.⁷

F I

デーマコード (参考)

H O I L 29/78 6 1 7 T

H O I L 29/28

Fターム(参考) 5F110 AA16 BB01 CC05 CC07 DD01 DD02 DD03 DD05 DD12 DD13
 DD14 EE01 EE02 EE03 EE04 EE06 EE07 EE42 FF01 FF02
 FF06 FF09 FF27 FF35 GG05 GG06 GG07 GG25 GG28 GG29
 GG42 GG57 HK01 HK02 HK03 HK04 HK06 HK07 HK25 HK32
 HK33 HK34 HK35 HK38 NN71 NN72 QQ08